



Docket No.: MUH-12761

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nollf Date: February 26, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/662,634
Applicant : Dietmar Gogl, et al.
Filed : September 15, 2003
Title : Sense Amplifier Configuration for a Semiconductor Memory Device
Docket No. : MUH-12761
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 12 281.0, filed March 14, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf
Reg. No. 37,006

Markus Nollf
For Applicant

Date: February 26, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 12 281.0

Anmeldetag: 14. März 2001

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Leseverstärkeranordnung für eine Halbleiterspeicher-
einrichtung

IPC: G 11 C 7/06

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 15. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'Wallner', written over the text 'Im Auftrag'.

Wallner

MÜLLER & HOFFMANN – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 10827

Ko/Sel/kv

Anmelderzeichen: 200022718
(2000 E 22514 DE)

14.03.2001

Infineon Technologies AG

St.-Martin-Str. 53

81669 München

Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung

Beschreibung

Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung

5

Die Erfindung betrifft eine Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 1.

10

Moderne Halbleiterspeichereinrichtungen weisen einen Speicherbereich mit einer Mehrzahl von Speicherelementen oder Speicherzellen auf. Die Speicherelemente oder Speicherzellen sind dabei oft in einer matrixartigen Anordnung ausgebildet und über Zugriffsleitungen oder Zugriffsleitungen, zum Beispiel sogenannte Bitleitungen oder Wortleitungen, ansprechbar, um den Speicherzustand oder Informationszustand jedes Speicherelements oder jeder Speicherzelle auszulesen und/oder zu ändern.

15

20

Die Adressierung und somit der Zugriff erfolgen dabei in der Regel über entsprechende Auswahleinrichtungen gemäß einer Zeilenauswahl, zum Beispiel für die Wortleitungen, sowie durch eine Spaltenauswahl, zum Beispiel für die Bitleitungen. Dabei bildet das System der matrixartig angeordneten Speicherzellen sowie der ausgewählten und nicht ausgewählten Zugriffsleitungen ein Netzwerk Ohmscher Widerstände, wobei insbesondere die Zellenwiderstände der einzelnen Speicherelemente oder Speicherzellen zu berücksichtigen sind.

25

30

Durch die Auswahl einer entsprechenden Wortleitung und einer entsprechenden Bitleitung soll, insbesondere beim Lesen, genau eine wohldefinierte Speicherzelle oder ein wohldefiniertes Speicherelement angesprochen werden. Aufgrund der netzwerkartigen Verschaltung der Mehrzahl der Speicherzellen des Speicherbereichs treten aber neben dem den Speicherzustand oder Informationszustand der angesprochenen Zelle repräsen-

35

5 tierenden Signal auch parasitäre Signale aus den nicht aus-
gewählten Speicherelementen oder Speicherzellen auf und/oder
Zugriffsleitungen, die sich dem eigentlich zu detektierenden
und zu analysierenden Signal der selektierten Zelle überla-
gern und zu Verfälschungen führen können.

10 Um diese parasitären Signale zu unterdrücken oder ihren Ein-
fluss möglichst gering zu halten, bedient man sich üblicher-
weise eines Leseverstärkers, durch welchen eine Trennung des
ausgewählten Speicherbereichs vom nicht ausgewählten Spei-
cherbereich bzw. der entsprechenden Signale möglich ist. Zum
Beispiel ist beim MRAM-Speichern auf Cross-Point-Basis, bei
welchem der Speicherzustand oder Informationszustand einer
15 Speicherzelle aufgrund der Größe eines zu detektierenden
Zellenstroms diskriminiert wird, eine Einrichtung vorgese-
hen, welche die Potenzialdifferenz über dem nicht selektier-
ten Speicherbereich derart einstellt, dass der durch diesen
nicht selektierten Speicherbereich fließende Strom die De-
20 tektion des eigentlich auszuwertenden Zellenstroms nicht
maßgeblich beeinflusst. Dabei werden zum Beispiel sogenannte
Kompensationsspannungsquelleneinrichtungen eingesetzt, wel-
che insbesondere in den Leseverstärkeranordnungen ausgebildet
sind.

25 Problematisch ist dabei, dass unter realen Bedingungen die
dabei verwendeten Verstärker einen endlichen, oft auch vari-
ierenden Spannungsoffset erzeugen und darüber hinaus eine
nur endliche Verstärkung besitzen. Dadurch entstehen auf-
grund der Regeldifferenz eben doch parasitäre Signale, wel-
30 che durch die nicht selektierten Speicherzellen an der ent-
sprechenden Bitleitung erzeugt und/oder zugeführt werden.

35 Um dieser Problematik Herr zu werden, kann bisher nur auf
herkömmliche Methoden der Offsetkompensation zurückgegriffen
werden. Bekannte Offsetkompensationsschaltungen arbeiten a-

ber langsam und benötigen beim Halbleiterlayout vergleichsweise große Flächen.

Der Erfindung liegt die Aufgabe zugrunde, eine Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung zu schaffen, welche bei besonders einfachem, kompaktem und platzsparendem Aufbau ein besonders schnelles und zuverlässiges Auslesen der Speichereinrichtung gewährleistet.

Die Aufgabe wird bei einer gattungsgemäßen Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der erfindungsgemäßen Leseverstärkeranordnung sind Gegenstand der abhängigen Unteransprüche.

Bei einer gattungsgemäßen Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung oder dergleichen, mit einem Speicherbereich aus einer Mehrzahl von Speicherelementen ist ein Eingangsbereich vorgesehen, welcher ausgebildet ist, im Betrieb mit dem Speicherbereich, insbesondere mit ausgewählten und verbundenen Zugriffsleitungseinrichtungen, vorzugsweise Bit- und/oder Wortleitungseinrichtungen ausgewählter Speicherzellen, davon verbunden zu werden, um einen Speicherzustand mindestens eines ausgewählten Speicherelements des Speicherbereichs abzutasten und/oder zu ermitteln. Des Weiteren weist die gattungsgemäße Leseverstärkeranordnung einen Ausgangsbereich auf, über welchen im Betrieb ein den ermittelten Speicherzustand im Wesentlichen repräsentierendes Ausgabesignal ausgebar ist. Um parasitäre Signale möglichst zu vermeiden, ist herkömmlicherweise eine Kompensationsspannungsquelleinrichtung vorgesehen. Diese ist ausgebildet und angeordnet, im Betrieb eine an der ausgewählten und verbundenen Zugriffsleitungseinrichtung anliegende Spannung, insbesondere in Bezug auf einen nicht ausgewählten Speicherbereich, zu regeln.

Die erfindungsgemäße Leseverstärkeranordnung ist dadurch gekennzeichnet, dass eine Kompensationsstromquelleeinrichtung vorgesehen ist. Diese ist erfindungsgemäß dazu ausgebildet, im Betrieb einen elektrischen Kompensationsstrom zu generieren und zumindest einer der Zugriffsleitungseinrichtungen, insbesondere der ausgewählten und verbundenen Bitleitungseinrichtung, zuzuführen. Dabei sind erfindungsgemäß der Kompensationsstrom und/oder dessen zeitlicher Verlauf derart wählbar und/oder ausgebildet, dass im Betrieb, insbesondere bei einem Lesevorgang oder dergleichen und/oder insbesondere im Zusammenwirken mit der Kompensationsspannungsquelleeinrichtung, auf der ausgewählten und verbundenen Zugriffsleitungseinrichtung, insbesondere der ausgewählten und verbundenen Bitleitungseinrichtung und/oder insbesondere in Bezug auf den nicht ausgewählten Speicherbereich, eine im Wesentlichen zeitlich konstante Potenzialdifferenz generierbar und/oder aufrechterhaltbar ist.

Es ist somit eine grundlegende Idee der erfindungsgemäßen Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung, zusätzlich zur Kompensationsspannungsquelleeinrichtung eine Kompensationsstromquelleeinrichtung auszubilden. Diese ist derart angeschlossen und ausgebildet, dass durch sie ein Kompensationsstrom an die ausgewählte und verbundene Zugriffsleitungseinrichtung, nämlich die Bitleitungseinrichtung, eingespeist werden kann, und zwar derart, dass die über den nicht selektierten Speicherbereich abfallende Potenzialdifferenz zeitlich im Wesentlichen konstant ist. Dies hat gegenüber herkömmlichen Leseverstärkeranordnungen den Vorteil, dass die Offsetspannung V_{os} der Kompensationsspannungsquelleeinrichtung explizit mit berücksichtigt werden kann, und zwar unabhängig von ihrem tatsächlichen Wert und/oder ihrem zeitlichen Verlauf. Anstelle des Vorsehens einer herkömmlichen Offsetkompensation - mit ihren Nachteilen im Hinblick auf ihren Flächenbedarf und der zeitlichen

Performance - wird also erfindungsgemäß eine Offsetspannung bei der Kompensationsspannungsquelleneinrichtung explizit zugelassen. Die zusätzliche und erfindungsgemäß vorgesehene Kompensationsstromquelleneinrichtung regelt dann den einzuspeisenden Kompensationsstrom derart nach, dass die Potenzialdifferenz über den nicht selektierten Speicherbereich zumindest zeitlich konstant ist. Dann nämlich kann der durch den selektierten Speicherbereich, nämlich die selektierte und auszulesende Speicherzelle, fließende Zellenstrom I_c im Wesentlichen ungestört von Überlagerungssignalen oder parasitären Signalen ermittelt und in verstärkter Form durch die Leseverstärkeranordnung ausgelesen und ausgewertet werden.

Besonders bevorzugt wird eine Leseverstärkeranordnung, welche zum Auslesen einer Speicherzellenanordnung, vorzugsweise von MRAM-Zellen oder dergleichen, ausgebildet ist.

Des Weiteren wird bevorzugt, dass die Leseverstärkeranordnung durch Auslesen des Speicherbereichs der Speichereinrichtung über einen durch ein selektiertes Speicherelement, insbesondere eine Speicherzelle oder dergleichen, fließenden elektrischen Strom ausgebildet ist.

Dabei ist es vorgesehen, dass die Leseverstärkeranordnung ausgebildet ist, als Ausgabesignal ein Signal in Form eines elektrischen Stromes oder dergleichen auszugeben.

Zur Generierung der Potenzialdifferenz an der Zugriffsleitungseinrichtung, insbesondere der ausgewählten und verbundenen Bitleitungseinrichtung und/oder insbesondere in Bezug auf den nicht selektierten Speicherbereich, weist die Kompensationsspannungsquelleneinrichtung erste und zweite Eingangsanschlüsse, erste und zweite Ausgangsanschlüsse sowie eine invertierende Verstärkereinrichtung, insbesondere einen Operationsverstärker oder dergleichen, auf.

Dabei wird weiter bevorzugt, dass der erste und der zweite Eingangsanschluss einerseits mit dem nicht invertierenden bzw. dem invertierenden Eingang der Operationsverstärkereinrichtung und andererseits über den Eingangsbereich mit einem, insbesondere gemeinsamen Deaktivierungs- oder Ausgleichspotenzial, insbesondere des nicht ausgewählten Speicherbereichs, oder einer entsprechenden Zugriffsleitungseinrichtung, insbesondere dem System der nicht ausgewählten Wortleitungen, insbesondere über die ausgewählte, verbundene Zugriffsleitungseinrichtung oder Bitleitungseinrichtung, mit dem ausgewählten Speicherelement verbunden sind.

Ferner ist es von Vorteil, dass durch einen der Ausgangsanschlüsse der Kompensationsspannungsquelleneinrichtung im Wesentlichen der Ausgang der Operationsverstärkereinrichtung, insbesondere über die ausgewählte, verbundene Zugriffsleitungseinrichtung oder Bitleitungseinrichtung, mit dem ausgewählten Speicherelement verbunden ist, so dass insgesamt die Potenzialdifferenz des nicht ausgewählten Speicherbereichs in Bezug auf die ausgewählte, verbundene Zugriffsleitungseinrichtung, insbesondere die ausgewählte und verbundene Bitleitungseinrichtung, rückgekoppelt regelbar ist, insbesondere auf einen im Wesentlichen zeitlich konstanten Wert hin. Dadurch wird eine besonders einfache und gleichwohl schnelle Ausregelung der am nicht selektierten Speicherbereich anliegenden Potenzialdifferenz gewährleistet.

Gemäß einer weiteren vorteilhaften Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung ist es vorgesehen, dass die Kompensationsstromquelleneinrichtung mit einem ersten Anschluss davon mit der ausgewählten und verbundenen Zugriffsleitungseinrichtung, insbesondere mit der ausgewählten und verbundenen Bitleitungseinrichtung, und folglich insbesondere mit dem zweiten Eingangsanschluss und dem zweiten Ausgangsanschluss der Kompensationsspannungsquelleneinrichtung verbunden ist, um im Betrieb einen Kompensations-

strom zumindest teilweise in die ausgewählte und verbundene Zugriffsleitungseinrichtung einzuspeisen.

Hinsichtlich des Arbeits- und Regelbereichs der Kompensations-
5 onsspannungsquelleneinrichtung ist es von besonderem Vorteil, dass gemäß einer weiteren Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung die Kompensationsstrom-
quelleneinrichtung ausgebildet ist, im Betrieb einen Kompensationsstrom mit einem Wert zu generieren und/oder zur Ver-
10 fügung zu stellen, der dem durch einen etwaigen Spannungsoffset der Kompensationsspannungsquelleneinrichtung über das Ohmsche Netzwerk der Speicherelemente des gesamten Speicherbereichs entsprechenden elektrischen Strom des Offsets
im Wesentlichen entspricht oder diesen ausreichend über-
15 steigt. Das heißt also, dass vorteilhafterweise die Beziehung

$$I_{comp} \geq \frac{V_{os}}{R_{par'} \parallel R_c} = V_{os} \cdot \frac{R_{par'} + R_c}{R_{par'} \cdot R_c} = \frac{V_{os}}{R_{par}}$$

20 erfüllt ist, wobei R_{par} der Ohmsche Widerstand des gesamten Speicherbereichs bedeutet und sich im Wesentlichen als Parallelschaltung der Ohmschen Widerstände $R_{par'}$ des nicht ausgewählten Speicherbereichs mit dem Ohmschen Widerstand R_c des ausgewählten Speicherbereichs oder der ausgewählten
25 Speicherzelle darstellt. Ferner bedeuten dabei I_{comp} der Kompensationsstrom sowie V_{os} der inhärente Spannungsoffset der Kompensationsspannungsquelleneinrichtung.

Besonders vorteilhaft ist es, dass die Kompensationsstrom-
30 quelleneinrichtung ausgebildet ist, im Betrieb eine Trimmung und/oder eine Selbstkalibrierung durchzuführen, um einen Wert für den Kompensationsstrom I_{comp} zu wählen, welcher dem Wert

$$\frac{V_{os}}{R_{par}' \parallel R_c} = \frac{V_{os}}{R_{par}}$$

möglichst nahe kommt. Dadurch wird eine optimale Unterdrückung parasitärer Ströme oder Signale zu dem zu analysierenden Zellenstrom I_c erreicht.

Zur Analyse und zur Diskriminierung des gemessenen Zellenstroms oder des Eingangssignals vom selektierten Speicherbereich ist es des Weiteren in bevorzugter Weise vorgesehen, dass zwischen dem Eingangsbereich und dem Ausgangsbereich eine Verstärkungseinrichtung, insbesondere eine Stromverstärkungseinrichtung oder dergleichen, ausgebildet ist, um im Betrieb über den Eingangsbereich ein den Speicherzustand eines ausgewählten Speicherelements im Wesentlichen repräsentierendes Eingangssignal zu empfangen, daraus ein verstärktes Signal zu generieren und dieses über den Ausgangsbereich der Leseverstärkeranordnung auszugeben.

Ferner ist es dazu vorgesehen, dass die Verstärkungseinrichtung mindestens einen Eingangsanschluss aufweist, welcher im Betrieb mit dem Eingangsbereich und insbesondere mit der ausgewählten und verbundenen Zugriffsleitungseinrichtung, insbesondere mit der ausgewählten und verbundenen Bitleitungseinrichtung, und/oder der Kompensationsstromquelleineinrichtung verbindbar ausgebildet ist.

Dabei ist es ferner von Vorteil, dass die Verstärkereinrichtung einen Ausgangsanschluss aufweist, welcher im Betrieb mit dem Ausgangsbereich der Leseverstärkeranordnung verbindbar ist.

Zur Realisierung der Verstärkereinrichtung ist es vorgesehen, dass diese zwei Transistoreinrichtungen, insbesondere in Form sogenannter MOSFETs oder dergleichen, mit Source-, Drain- und Gatebereichen und/oder -anschlüssen aufweist. Da-

bei sind einerseits die Sourcebereiche oder -anschlüsse und andererseits die Gatebereiche oder -anschlüsse dieser Transistoreinrichtungen miteinander verbunden. Ferner sind die Drainbereiche und/oder -anschlüsse der Transistoreinrichtungen mit dem Eingangsanschluss bzw. dem Ausgangsanschluss der Verstärkereinrichtung verbunden. Durch diese Anordnung wird zwischen dem Eingangsanschluss und dem Ausgangsanschluss der Verstärkereinrichtung eine Art Eingangssignalspiegel oder Stromspiegel mit einem entsprechenden Verstärkungsfaktor n , welcher durch die jeweiligen Transistoreinrichtungen definiert ist, realisiert. Ein einlaufendes Eingangssignal, zum Beispiel der Zellenstrom I_c , wird somit, um einen Kompensationsstrom I_{comp} vermindert, als n -fach verstärktes Ausgangssignal $n \times I_{diff} = I_{out}$ verstärkt am Ausgangsbereich der Leseverstärkeranordnung ausgegeben.

Dabei ist zusätzlich vorteilhafterweise bei der Verstärkereinrichtung ein zweiter Eingangsanschluss vorgesehen, welcher mit den Gatebereichen und/oder -anschlüssen der Transistoreinrichtungen der Verstärkereinrichtung verbunden ist.

Wie oben dargelegt wurde, sollte der Kompensationsstrom I_{comp} möglichst dem oben angegebenen Idealwert entsprechen, der sich in Abhängigkeit von der Offsetspannung V_{os} der Kompensationsspannungsquelleneinrichtung ergibt. Oft wird man aber diese Offsetspannung V_{os} nicht kennen, oder sie wird sogar zeitlich variieren. Dies hat aber zur Folge, dass in bestimmten Fällen der generierte und eingespeiste Kompensationsstrom I_{comp} groß ist, d.h. es liegt hier ein Offsetstrom vor. Dieser kann unter Umständen eine verlässliche Detektion des Zellenstroms I_c und somit eine Ermittlung des Speicherzustandes oder Informationsinhalts der selektierte Speicherzelle verhindern.

Um diese Offsetproblematik hinsichtlich des Kompensationsstroms I_{comp} zu umgehen, ist es in vorteilhafter Weise gemäß

einer weiteren Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung vorgesehen, dass eine Kalibriereinrichtung ausgebildet wird, durch welche im Betrieb ein überschüssiger Kompensationsstrom und/oder ein überschüssiges Ausgangssignal der Verstärkereinrichtung ausgeglichen wird und durch welche, insbesondere alternierend aktivierbar, Stromspeicher- und Stromfreigabefunktionen realisiert werden. Dadurch wird erreicht, dass zum Beispiel ein vor einem Lesevorgang erzeugter Kompensationsstrom, der keinen gemessenen Zellenstrom I_c berücksichtigt, sondern im Wesentlichen aufgrund der Offsetspannung V_{os} der Kompensationsspannungsquelleneinrichtung entsteht, gespeichert wird, um dann bei einem Lesevorgang zurück eingespeist zu werden, um somit den ebenfalls durch die Offsetspannung V_{os} erzwungenen übermäßigen Kompensationsstrom am Ausgangssignal I_{out} abgezogen zu werden, so dass beim Lesevorgang letztlich das Ausgangssignal I_{out} im Wesentlichen den gemessenen Zellstrom I_c repräsentiert.

Die Kalibriereinrichtung ist zwischen dem Ausgangsanschluss der Verstärkereinrichtung und dem Ausgangsbereich der Leseverstärkeranordnung angeordnet, und zwar insbesondere mit einem Eingangsanschluss bzw. einem ersten Ausgangsanschluss davon. Dadurch wird erreicht, dass die Kalibrierung direkt vor dem Ausgangsbereich der Leseverstärkeranordnung stattfindet und somit das Ausgangssignal I_{out} entsprechend direkt beeinflusst werden kann.

Die Kalibriereinrichtung weist vorteilhafterweise einen zweiten Ausgangsanschluss auf, welcher mit dem zweiten Anschluss der Kompensationsstromquelleneinrichtung verbunden ist.

Des Weiteren ist zur Realisierung der Stromspeicher- oder Stromfreigabefunktionen die Kalibriereinrichtung mit einer Stromspeichereinrichtung ausgestattet.

Dabei wird bevorzugt, dass die Stromspeichereinrichtung ausgebildet ist, im Betrieb vor einem Lesezustand einen überschüssigen Kompensationsstrom und/oder ein überschüssiges Ausgangssignal zu speichern und bei einem Lesezustand zumindest teilweise wiedereinzuspeisen, insbesondere von der Kompensationsstromquelleneinrichtung und/oder der Verstärkereinrichtung bzw. in diese hinein.

Besonders einfach gestaltet sich die Stromspeicheranordnung, wenn diese als Transistoreinrichtung, insbesondere als MOSFET oder dergleichen, ausgebildet ist oder eine derartige Transistoreinrichtung aufweist.

Es ist dann dabei vorgesehen, dass die Transistoreinrichtung mit ihrem Drainbereich mit dem Eingangsanschluss der Kalibriereinrichtung und mit ihrem Sourcebereich über den zweiten Ausgangsanschluss der Kalibriereinrichtung mit der Kompensationsstromquelleneinrichtung verbunden ist.

Es ist ferner vorgesehen, dass die Stromspeichereinrichtung eine Schalteinrichtung aufweist und dass der Gegenbereich der Transistoreinrichtung und der Stromspeichereinrichtung vor und bei einem Lesezustand der Leseverstärkeranordnung mit dem Drainbereich verbindbar bzw. von diesem trennbar ist. Dadurch wird erreicht, dass insbesondere die Gatekapazität des Gatebereichs der Transistoreinrichtung der Stromspeichereinrichtung als Stromspeicherelement schaltbar ist.

Des Weiteren ist es vorteilhafterweise vorgesehen, dass die Kalibriereinrichtung eine weitere Schalteinrichtung aufweist, durch welche im Betrieb eine direkte elektrische Verbindung zwischen dem Eingangsanschluss und dem ersten Ausgangsanschluss der Kalibriereinrichtung bei einem Lesezustand herstellbar bzw. vor einem Lesezustand unterbrechbar ist. Dadurch wird erreicht, dass vor einem Lesezustand das

generierte Ausgangssignal, welches aufgrund der überhöhten Stromkompensation ebenfalls überhöht ist und somit nicht als eine logische "0" interpretiert würde, nicht am Ausgangsbereich der Leseverstärkeranordnung erscheint. Andererseits wird aufgrund der Speicher- und Freigabefunktionen im Hinblick auf den Speicherstrom durch die Kalibriereinrichtung bei einem Lesezustand der Leseverstärkeranordnung durch die zweite Schalteinrichtung gerade ein entsprechend reduziertes Ausgangssignal Iout auf den Ausgangsbereich der Leseverstärkeranordnung geschaltet.

Weitere Aspekte und Eigenschaften der vorliegenden Erfindung ergeben sich aus der nachfolgenden Darstellung:

Der Lesevorgang bei einem MRAM-Speicher, welcher auf einem Cross-Point-Array basiert, unterscheidet sich wesentlich von den Lesevorgängen anderer Speichereinrichtungen, zum Beispiel DRAMs, EEPROMs oder dergleichen.

Zum Auslesen des Inhalts einer MRAM-Speicherzelle aus einer Matrix von Cross-Point-Zellen wird zunächst die Wortleitung mit der selektierten Speicherzelle auf die benötigte Lesespannung V_{wl} gelegt. Sämtliche nicht selektierten Wortleitungen liegen dagegen auf einer Ausgleichsspannung oder Äquipotenzialspannung V_{eq} . Diese unterscheidet sich von der Wortleitungsspannung oder Lesespannung V_{wl} . Auch die nicht selektierten Bitleitungen liegen auf der Äquipotenzialspannung oder Ausgleichsspannung V_{eq} . Die Bitleitung der selektierten Speicherzelle ist über einen entsprechenden Spaltenmultiplexer oder eine entsprechende Spaltenauswahleinrichtung mit dem Eingang eines Leseverstärkers verbunden. Der Leseverstärker soll dabei idealerweise die ausgewählte Bitleitung auf dem Potenzial V_{eq} halten, welches also gleich dem Potenzial der nicht selektierten Wortleitungen ist.

Über die selektierte Speicherzelle fällt somit die Spannungsdifferenz $V_{eq}-V_{wl}$ ab. Dies führt gemäß dem MRAM-Konzept zu einem Stromfluss I_c durch die selektierte Speicherzelle. Die Wortleitungsspannung oder Lesespannung V_{wl} muss sich von
5 der Äquipotenzialspannung oder Ausgleichsspannung V_{eq} unterscheiden, kann aber ansonsten kleiner oder größer als die Spannung V_{eq} sein.

Gemäß dem MRAM-Konzept hat die selektierte Speicherzelle je
10 nach Programmierzustand einen hohen oder einen niedrigen Ohmschen Widerstand R_c , und zwar in Abhängigkeit davon, ob entgegengesetzte oder gleiche Orientierungen der Magnetisierungen der weichmagnetischen Schicht und der hartmagnetischen Schicht in der Nachbarschaft der magnetischen Tunnel-
15 schicht (MTJ: magnetic tunnelling junction) vorliegen. Dieser hohe oder niedrige Ohmsche Widerstand R_c der selektierten Speicherzelle führt zu einem niedrigen bzw. hohen Stromfluss I_c durch die selektierte Speicherzelle. Der jeweilige Zellenstrom I_c wird dann über die selektierte Bitleitung vom
20 Leseverstärker oder der Leseverstärkeranordnung ausgewertet und als logische "0" oder "1" interpretiert und/oder ausgegeben.

Unter idealen Bedingungen werden die selektierte Bitleitung
25 und die nicht selektierten Wortleitungen und Bitleitungen auf demselben Potenzial, nämlich dem Ausgleichs- oder Äquipotenzialpotenzial V_{eq} gehalten. Folglich treten im Idealfall parasitäre Ströme als parasitäre Signale durch die nicht selektierten Speicherzellen nicht auf, oder sie werden
30 eliminiert.

Jeder reale Verstärker und somit jede reale Kompensationsspannungsquelleneinrichtung besitzen eine Offsetspannung und eine endliche Verstärkung. Dies bedeutet, dass die Leseverstärkeranordnung die Spannung der selektierten Bitleitung
35 nicht exakt auf den Wert der Ausgleichsspannung oder Äquipotenzialspannung V_{eq} bringt.

tenzialspannung V_{eq} regelt. Aufgrund der Spannungsregeldifferenz entstehen parasitäre Ströme, und zwar durch die nicht selektierten Speicherzellen, welche an der selektierten Bitleitung anliegen.

5

Eine Möglichkeit, diese Spannungsregeldifferenz und somit die parasitären Ströme oder Signale zu reduzieren, wäre herkömmlicherweise die Verwendung eines Präzisionsverstärkers, bei welchem die Spannung der selektierten Bitleitung möglichst nahe an der Äquipotenzialspannung V_{eq} gebracht werden kann. Dies erfordert herkömmlicherweise zeitraubende und langsam arbeitende Offsetkompensationsschaltungen, die gegebenenfalls mit einem erhöhten Flächenaufwand beim Halbleiterlayout verbunden sind.

10

15

Aber selbst bei idealer Einstellung der Spannung am Ende der selektierten Bitleitung durch einen herkömmlichen Leseverstärker würde ein entsprechender Zellenstrom I_c über den Ohmschen Widerstand R_c der selektierten Speicherzelle einen Spannungsabfall über die selektierte Bitleitung erzeugen, welcher dann wiederum entsprechende, wenn auch kleine parasitäre Ströme zu den quer verlaufenden nicht selektierten Wortleitungen erzeugte.

20

25

Die vorliegende Erfindung schlägt eine Schaltung für einen schnellen und kompakt gebauten Leseverstärker vor, welcher unempfindlich gegen die unvermeidbaren Regelungsfehler aufgrund der unvermeidbaren Offsetspannungen bei endlicher Verstärkung ist.

30

Dabei wird trotz parasitärer Effekte, wie zum Beispiel Offsetspannungen, die endliche Verstärkung und die Spannungsabfälle über die Bitleitungen bei kleiner Fläche eine schnelle Auswertung des Programmierzustandes einer selektierten aus-
zulesenden Speicherzelle möglich.

35

Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen der erfindungsgemäßen Leseverstärkeranordnung näher erläutert.

5

Fig. 1 zeigt anhand eines schematischen Schaltungsdiagramms den grundlegenden Aufbau einer Speichereinrichtung unter Verwendung der erfindungsgemäßen Leseverstärkeranordnung.

10

Fig. 2 zeigt anhand eines Blockdiagramms den schematischen Aufbau einer Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung.

15

Fig. 3 zeigt die Schaltungsanordnung einer anderen Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung.

20

Fig. 4 zeigt die Schaltungsanordnung einer anderen Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung.

25

Fig. 5 zeigt die Schaltungsanordnung einer herkömmlichen Leseverstärkeranordnung.

Fig. 1 zeigt in einer schematischen Schaltungsanordnung den grundsätzlichen Aufbau einer Halbleiterspeichereinrichtung 1 unter Verwendung einer erfindungsgemäßen Leseverstärkeranordnung 10.

30

Die Halbleiterspeichereinrichtung 1 weist einen Speicherbereich 2 auf. Dieser besteht aus einer matrixartigen Anordnung von Speicherzellen 3 und 3', wobei die Speicherzellen oder Speicherelemente 3' in dem in Fig. 1 gezeigten Zustand der Halbleiterspeichereinrichtung 1 nicht zum Auslesen selektiert sind. Dagegen ist das Speicherelement 3 des Spei-

35

cherbereichs 2 zum Auslesen ausgewählt oder selektiert. Zu dieser Auswahl oder Selektion ist die Wortleitung WLi zusammen mit der Bitleitung BLk der Zugriffsleitungseinrichtungen 6 bzw. 4 durch entsprechende Schaltzustände der Zeilenselektoren oder -multiplexer 8 bzw. Spaltenselektoren oder -multiplexer 7 realisiert. Die selektierte Wortleitung WLi liegt auf der Wortleitungsspannung oder Lesespannung Vwl. Sämtliche nicht selektierten Wortleitungen und Bitleitungen der Zugriffsleitungseinrichtungen 6 und 4 liegen auf der Äquipotenzialspannung Veq. Im Idealfall liegt auch die selektierte Bitleitung BLk an ihrem Ende, nämlich am Knoten 7a und also im Eingangsbereich 12 der erfindungsgemäßen Leseverstärkeranordnung 10 auf der Äquipotenzialspannung Veq.

Die selektierte Zelle 3, welche mit der Wortleitung WLi und der Bitleitung BLk verbunden ist, weist einen Zellenwiderstand R_c auf, der aufgrund der über dem Ohmschen Widerstand R_c abfallenden Spannung $V_{eq}-V_{wl}$ zu einem entsprechenden Zellstrom I_c führt, welcher im ungestörten Zustand gerade den Messstrom I_{sense} entspricht.

Zunächst sei unter Bezugnahme auf Fig. 5 der Aufbau und die Funktionsweise einer konventionellen Leseverstärkeranordnung 100 erläutert.

Diese konventionelle Leseverstärkeranordnung 100 weist eine Kompensationsspannungsquelleneinrichtung 20 mit Eingangsanschlüssen 21 und 22 sowie Ausgangsanschlüssen 23 und 24 auf. Die Eingangsanschlüsse 21 und 22 sind dabei über den Eingangsbereich 12 mit dem Ausgleichspotenzial Veq bzw. mit der selektierten Bitleitung BLk der Zugriffsleitungseinrichtung 4 verbunden.

Kernelement der Kompensationsspannungsquelleneinrichtung 20 ist ein Operationsverstärker 25 mit einem nicht invertierenden Eingang 25-1 und einem invertierenden Eingang 25-2. Der

Ausgang 25-3 des Operationsverstärkers 25 ist mit einem MOSFET T1, nämlich mit dessen Gate G1 verbunden. Der Drainbereich D1 und der Sourcebereich S1 bilden die Ausgangsanschlüsse 23 und 24 der Kompensationsspannungsquelleinrichtung 20. Der Operationsverstärkereinrichtung 25 besitzt einen endlichen Verstärkungsfaktor A sowie eine schematisch dargestellte Offsetspannung Vos.

Über den Eingangsbereich 12 ist die herkömmliche Leseverstärkeranordnung 100 mit dem Speicherbereich 2 verbunden. Die nicht selektierten Speicherzellen 3' des Speicherbereichs 2 bilden den nicht selektierten Speicherbereich 2'. Dieser ist im Ohmschen Sinne zur selektierten Speicherzelle 3, die einen Ohmschen Widerstand Rc aufweist, parallelgeschaltet und besitzt einen Ohmschen Widerstand Rpar'.

Des Weiteren ist eine Verstärkereinrichtung 40 vorgesehen, die zwischen dem ersten Ausgangsanschluss 23 der Kompensationsspannungsquelle 20 und dem Ausgangsbereich 14 der Leseverstärkeranordnung 100 ausgebildet ist. Diese Verstärkereinrichtung 40 dient der n-fachen Verstärkung des eingehenden Messstroms Isense zu einem Ausgangssignal Iout. Dazu sind zwei Transistoreinrichtungen T2 und T3 als MOSFETs vorgesehen, deren Source und Gatebereiche S2, S3 bzw. G2, G3 jeweils miteinander leitend und auch mit dem ersten Ausgangsanschluss 23 der Kompensationsspannungsquelleinrichtung 20 verbunden sind. Auf diese Art und Weise wird ein Stromspiegel im Hinblick auf den Messstrom Isense in Bezug auf den Sourcefolger T1 realisiert.

Der Ohmsche Widerstand Rc der selektierten Zelle 3 liegt über die selektierte Bitleitung BLk über die Wortleitungsspannung oder Lesespannung Vwl an Masse. Die restlichen nicht selektierten Speicherzellen 3' des nicht selektierten Speicherbereichs 2', welche von der selektierten Bitleitung BLk zu den auf der Äquipotenzialspannung Veq liegenden nicht

selektierten Wortleitungen führen, sind in Fig. 5 - und auch in allen weiteren Figuren - durch den Widerstand R_{par}' dargestellt. R_{par}' bezeichnet dabei die Parallelschaltung der nicht selektierten Speicherzellen 3'. Dieser Ohmsche Widerstand R_{par}' ist dabei relativ viel kleiner als der Zellenwiderstand R_c , so dass selbst kleine Potenzialdifferenzen über R_{par}' vergleichsweise große parasitäre Signale oder Ströme verursachen können.

10 Ziel bei dem in Fig. 5 dargestellten konventionellen Leseverstärker 100 ist es, die an dem Ende der Bitleitung BL_k anliegende Spannung möglichst präzise auf den Wert der Äquipotenzialspannung V_{eq} einzustellen und zu regeln. Dadurch würde nahezu keine Potenzialdifferenz über den Widerstand
15 R_{par}' abfallen, und der entsprechende parallel fließende Strom I_{par} durch den nicht selektierten Speicherbereich 2' wäre vernachlässigbar. Dies hätte dann zur Folge, dass nahezu der gesamte Zellenstrom I_c über die selektierte Speicherzelle 3 über den Sourcefolger T1 um durch den Stromspiegel
20 40 verstärkten Faktor n verstärkt zum Ausgangsbereich 14 der konventionellen Leseverstärkeranordnung 100 in Form eines Ausgangsstroms I_{out} fließen könnte.

25 Dieses ideale Ausleseprinzip funktioniert aber nur dann korrekt, wenn die inhärente Offsetspannung V_{os} der konventionellen Leseverstärkeranordnung 100 bzw. dessen Operationsverstärkers 25 vernachlässigbar oder null ist, damit bei ausreichend hoher Verstärkung A die Spannung auf der selektierten Bitleitung BL_k möglichst präzise auf den Wert der
30 Äquipotenzialspannung V_{eq} geregelt werden kann.

Es reichen allerdings schon relativ geringe Offsetspannungen V_{os} im Bereich unter einem Millivolt am Operationsverstärker 25 aus, damit der Zellenstrom I_c nicht in den Leseverstärker
35 100 fließt, sondern nur den dann austretenden parasitären Strom $I_{par} = V_{os}/R_{par}'$ durch den nicht selektierten Spei-

cherbereich 2' ausgleicht. Der Verstärker 100 bzw. der Operationsverstärker 25 regelt dann die Spannung an der selektierten Bitleitung BLk in etwa auf den Wert V_{eq-Vos} .

5 Bei negativer Offsetspannung Vos würde der Verstärker 25 die Spannung einer selektierten Bitleitung BLk etwa auf den Wert $V_{eq}+Vos$ regeln. Eine Stromänderung am Bitleitungsknoten 7a aufgrund der Verbindung von Rc mit der Wortleitungsspannung oder Lesespannung V_{wl} wäre in diesem Fall allerdings immer
10 als verstärkter Ausgangsstrom des Leseverstärkers 100 sichtbar. Für den praktischen Einsatz ist dies allerdings unzureichend, da im statistischen Mittel verteilt sowohl positive als auch negative Offsetspannungen Vos mit Beträgen von durchaus einigen Millivolt auftreten können.

15 Eine oftmals angewendete herkömmliche Lösung dieses Problems wird durch offsetkompensierte Operationsverstärker erreicht. Hierdurch können verbleibende Offsetspannungen des verwendeten Operationsverstärkers 25 deutlich unter 1 mV erreicht
20 werden. Nachteilig bei diesem Verfahren ist allerdings, dass mehrere Taktphasen für den Abgleich des Verstärkers erforderlich sind. Dies ist für den Einsatz bei Leseverstärkern 100 bei Speicheranwendungen von großem Nachteil, weil dies zu höheren Lesezugriffszeiten führt und unter Umständen darüber hinaus einen höheren Platzbedarf beim Halbleiterspeicherlayout resultiert.
25

Fig. 2 zeigt nun in Form eines Blockdiagramms den grundsätzlichen Aufbau einer ersten Ausführungsform der erfindungsgemäßen Leseverstärkeranordnung 10, wobei Bauelemente und Abschnitte die im Hinblick auf die bisher beschriebenen Figuren gleich oder gleichwirkend aufgebaut sind, identische Bezugszeichen im Hinblick auf die vorangehenden Figuren aufweisen, eine detaillierte Beschreibung dieser Elemente entfällt an dieser Stelle.
30
35

Im Vergleich zu dem in Fig. 5 gezeigten konventionellen Aufbau ist bei der in Fig. 2 gezeigten Ausführungsform zunächst zusätzlich eine zwischen die selektierte Bitleitungseinrichtung BLk oder der selektierten Zugriffsleitungseinrichtung 4 und Masse geschaltete Kompensationsstromquelleneinrichtung 30 mit Anschlüssen 31 und 32 vorgesehen. Der erste Anschluss 31 der Kompensationsstromquelleneinrichtung 30 ist mit dem zweiten Ausgangsanschluss 24 und dem zweiten Eingangsanschluss 22 der Kompensationsspannungsquelleneinrichtung 20 sowie entsprechend mit der selektierten und verbundenen Bitleitungseinrichtung BLk oder Zugriffsleitungseinrichtung 4 verbunden. Andererseits ist zur Berücksichtigung einer Stromüberkompensation eine entsprechende Kalibrierungseinrichtung 50 mit Anschlüssen 51, 52 und 53 zwischen der Verstärkereinrichtung 40 und dem Ausgangsbereich 14 der Leseverstärkeranordnung 10 vorgesehen.

Die Kompensationsstromquelleneinrichtung 40 liefert einen Kompensationsstrom I_{comp} , der möglichst dem Idealwert

$$\frac{V_{os}}{R_{par} \parallel R_c} = \frac{V_{os}}{R_{par}}$$

entspricht oder diesen übersteigt.

Zur Vermeidung einer Offsetproblematik hinsichtlich einer Stromüberkompensation durch die Kompensationsstromquelleneinrichtung 30 ist eben gerade die Kalibrierungseinrichtung 50 vorgesehen, durch welche vor einem Lesezustand der Leseverstärkeranordnung 10 der Ausgangsbereich 14 der Leseverstärkeranordnung 10 abgetrennt und der entsprechend überkompensierte Strom I_{comp} , gegebenenfalls verstärkt, in der Kalibrierungseinrichtung 50 gespeichert und bei einem vorliegenden Lesezustand der Leseverstärkeranordnung 10 bei zugeschaltetem Ausgangsbereich 14 der Leseverstärkeranordnung 10

zur Kompensation entsprechend wieder eingespeist werden kann.

Fig. 3 zeigt in Form einer schematischen Schaltungsanordnung die Ausführungsform der Fig. 2 in detaillierterer Darstellung, wobei wiederum gleich oder gleich wirkende Schaltungselemente mit identischen Bezugszeichen versehen sind und wobei die entsprechenden Beschreibungen nicht wiederholt werden.

Die Kompensationsspannungsquelleneinrichtung 20 wird hier wieder wie bei der Ausführungsform der Fig. 5 von einer Reihenschaltung aus einem Operationsverstärker 25 und einem MOSFET T1 gebildet, wobei letzterer als Sourcefolger zur Stromübertragung in die Verstärkereinrichtung 40 dient und wobei letztere ebenfalls die in Fig. 5 gezeigte Ausführungsform besitzt.

Vor dem Lesevorgang liegen sämtliche Wortleitungen des Speicherbereichs 2 auf derselben Äquipotenzialspannung oder Ausgleichsspannung V_{eq} . Beim Selektieren wird dann das Lesepotenzial oder Wortleitungspotenzial V_{wl} durch entsprechende Selektion zugeführt.

Aufgabe des Operationsverstärkers 25 mit der Verstärkung A ist es, die am Ende der Bitleitung anliegende Spannung über den Sourcefolger oder MOSFET T1 und die Kompensationsstromquelleneinrichtung 30 mit dem entsprechenden Kompensationsstrom I_{comp} konstant zu halten. Es kommt dabei ausschließlich auf die geregelte Konstantheit der Bitleitungsspannung auf der Bitleitung BLk an. Der Absolutwert der Potenzialdifferenz darf aber ruhig um eine, auch unbekannte, Offsetspannung V_{os} von der idealen Spannung V_{eq} abweichen.

Für eine positive Offsetspannung V_{os} stellt der Operationsverstärker 25 die Spannung auf der selektierten Bitleitung

BLk etwa auf den Wert $V_{eq}-V_{os}$ ein. Der Kompensationsstrom I_{comp} weist dabei idealerweise einen Wert von

$$\frac{V_{os}}{R_{par'} \parallel R_c} = \frac{V_{os}}{R_{par}}$$

5

auf. Liegt der Wert des Kompensationsstroms I_{comp} unter diesem Wert, so stellt sich am Ende der Bitleitung BLk ein Wert größer als $V_{eq}-V_{os}$ ein, wobei dann die Regelung durch den Operationsverstärker 25 versagt. Dies hätte für das weitere Auslesen der selektierten Speicherzelle 3 den großen Nachteil, dass das nutzbare Ausgangssignal I_{out} des Leseverstärkers 10 reduziert wird.

15

Da es aber nicht immer möglich ist, zum Beispiel wegen der Variation der Offsetspannung V_{os} , den Kompensationsstrom I_{comp} auf den Idealwert einzustellen, zum Beispiel auch, weil eine Trimmung oder eine Selbstkalibrierung zu aufwändig wären, wird gegebenenfalls der Wert von I_{comp} ausreichend größer als der Idealwert eingestellt.

20

Nach den Kirchhoffschen Gesetzen würde dann allerdings der Strom

$$I_{diff} = \frac{V_{os}}{R_{par'} \parallel R_c} - I_{comp}$$

25

über die Transistorfolge T1, T2 und T3 in den Faktor n verstärkt zum Ausgang des Leseverstärkers 10 abfließen. Dies könnte unter Umständen zur Folge haben, dass bei zu hoher Einstellung des Kompensationsstroms I_{comp} der erzeugte Ausgangsstrom I_{out} an der Leseverstärkeranordnung 10 eine Detektion der digitalen Werte "0" oder "1" unmöglich macht.

30

Zur Vermeidung dieser Offset-Problematik ist nun die Kalibrierungseinrichtung 50 der Ausführungsform der Fig. 3 mit

Schaltern SW1 und SW2 sowie mit einer als Stromspeicherelement dienenden Transistoreinrichtung T4 ausgebildet. Vor dem Lesevorgang ist die Schalteinrichtung SW1 geschlossen, und der überschüssige Strom I_{diff} fließt in die Transistordiode
5 der Transistoreinrichtung T4. Der Schalter SW2 zum Ausgangsbereich 14 ist dabei nicht geschlossen, sondern offen.

Beim Fortgang des Lesezyklus wird dann der Schalter SW1 geöffnet und der Schalter SW2 geschlossen. Die Spannung, welche sich über die Gatekapazität CG4 der Transistoreinrichtung T4 bei geschlossenem Schalter SW1 aufgebaut hat, bleibt
10 dabei erhalten. Nach Öffnen des Schalters SW1 arbeitet die Transistoreinrichtung T4 nunmehr als Stromspeicher und liefert den gespeicherten Strom I_{store} . Die Transistoreinrichtung und insbesondere die Gatekapazität CG4 dient nunmehr
15 als Stromquelle und wird also den überschüssigen Strom $n \times I_{diff}$ vom Ausgangsknoten der Verstärkeranordnung 10 abziehen.

Der Lesevorgang läuft dann folgendermaßen ab. Vor dem Lesen liegen alle Zellen 3 der selektierten Bitleitung BLk über die quer verlaufenden Wortleitungen an der Äquipotenzialspannung V_{eq} an. Über den Ausgleichs- oder Kompensationsstrom I_{comp} wird ein entsprechend hoher Strom vorgegeben,
20 damit der Operationsverstärker 25 im entsprechenden Arbeitspunkt verbleibt, um die Bitleitung BLk auf etwa $V_{eq} - V_{os}$ einzuregeln und dort auch für den weiteren Lesevorgang zu halten.

Der überschüssige Strom $n \times I_{diff}$ fließt bei geschlossenem Schalter SW1 in die Diode der Transistoreinrichtung T4 ab. Der Schalter SW2 bleibt offen, um den Kalibrierzustand nicht zu stören.

Anschließend wird der Schalter SW1 geöffnet, und sobald dies geschehen ist, wird der Schalter SW2 geschlossen und die

Speicherzelle über die zugehörige Wortleitung WLi selektiert, wie das in Fig. 3 gezeigt ist. Die selektierte Bitleitung BLk liegt nun nur noch über den Parallelwiderstand Rpar' an der Äquipotenzialspannung Veq und über dem Zellenwiderstand Rc der selektierten Speicherzelle 3 an der Wortleitungsspannung oder Lesespannung Vwl an.

Da der Operationsverstärker 25 die Spannung am Ende der selektierten Bitleitung BLk immer noch auf dem Wert Veq - Vos hält, kann nur in erster Näherung das Kirchhoffsche Gesetz für die Ströme am Knoten 7a der Bitleitung BLk betrachtet werden. Durch die Regelung des Operationsverstärkers 25 bleibt der Parallelstrom Ipar in etwa konstant. Der Kompensationsstrom Icomp ist zu diesem Zeitpunkt ebenfalls konstant vorgegeben.

Durch das Umschalten von der Äquipotenzialspannung Veq auf die Wortleitungsspannung Vwl fällt der vergleichsweise kleine Strom Vos/Rc parallel zu Ipar weg. Dafür greift am Bitleitungsknoten 7a der selektierten Bitleitung BLk nun ungefähr der größere Zellenstrom $I_c = (V_{eq} - V_{wl}) / R_c$ aufgrund der selektierten Speicherzelle 3 an. Da Ipar und Icomp konstant sind, muss der Zellenstrom Ic nahezu vollständig über den Sourcefolger T1 abfließen. Der Zellenstrom Ic kann hierbei noch über den Stromspiegel oder die Verstärkungseinrichtung 40 um den Faktor n verstärkt werden. Da der Stromspeicher 54 bzw. T4 über den Speicherstrom Istore auf den überschüssigen Strom Idiff vom Ausgangsbereich 14 der Leseverstärkeranordnung 10 abzieht, fließt über den geschlossenen Schalter SW2 aus dem Ausgang der Leseverstärkeranordnung 10 in erster Näherung der um den Faktor n verstärkte Zellenstrom Ic.

Die Anordnung funktioniert in analoger Weise auch für negative Offsetspannung Vos. Der Operationsverstärker 25 regelt hierbei die Spannung an der selektierten Bitleitung BLk auf etwa den Wert $V_{eq} + V_{os}$. Wichtig ist dabei ausschließlich,

dass sich der Operationsverstärker 25 der Kompensationsspannungsquelleneinrichtung 20 in einer funktionierenden Regelschleife befindet. Dies ist in diesem Fall auch ohne das Vorhandensein der Kompensationsstromquelleneinrichtung 30 und dem entsprechenden Kompensationsstrom I_{comp} gewährleistet. Allerdings ist dabei das Vorzeichen von V_{os} nicht unbedingt bekannt, so dass I_{comp} eventuell immer notwendig eingebracht werden sollte. Dies ist jedoch kein Problem, solange über den Stromspeicher 54 der Kalibriereinrichtung 50, insbesondere über den Schalter SW1 und die Transistoreinrichtung T4 der überschüssige Strom I_{diff} kompensiert werden kann.

Besonders wichtig sind im Hinblick auf die vorliegende Erfindung die folgenden Aspekte:

- Die Offsetspannung V_{os} der Kompensationsspannungsquelleneinrichtung 20 und insbesondere des darin vorhandenen Operationsverstärkers 25 ist für den Auslesevorgang nicht von Bedeutung.
- Über die Kompensationsstromquelleneinrichtung 30 und insbesondere über den Kompensationsstrom I_{comp} kann die Schaltung für alle Offsetspannung V_{os} die jeweilige Verstärkungseinrichtung 25 in einem funktionierenden Arbeitspunkt gehalten werden.
- Die Kompensationsstromquelleneinrichtung 30 und der Kompensationsstrom I_{comp} können fest eingestellt sein oder kalibriert werden.
- Der Stromspeicher 54 der Kalibriereinrichtung 50 und insbesondere die Schalteinrichtung SW1 und die Transistoreinrichtung T4 kompensieren überschüssige Kompensationsströme I_{diff} .

- Für eine exakte Kalibrierung des Kompensationsstroms I_{comp} entsprechend der Offsetspannung V_{os} kann der Stromspeicher durch die Elemente SW1 und T4 entfallen.

- 5 - Die Leseschaltung ist durch das einfache Timing für die Schalter SW1 und SW2 sehr schnell realisierbar.

Fig. 4 zeigt eine andere Ausführungsform der vorliegenden erfindungsgemäßen Leseverstärkeranordnung. Dabei sind Elemente, die im Hinblick auf die bisher beschriebenen Ausführungsformen gleich sind oder gleich wirken, mit identischen Bezugszeichen versehen und hier im Detail nicht weiter erläutert.

- 15 Bei der in Fig. 4 vorgesehenen Ausführungsform regelt der vorgesehene Operationsverstärker 25 der Kompensationsspannungsquelleneinrichtung 20 die Spannung der selektierten Bitleitung BLk nicht über einen Sourcefolger, sondern direkt über einen PMOS-Transistor T2 der Verstärkereinrichtung 40, wobei eine ausreichende Kompensation des Regelkreises erforderlich ist. Der PMOS-Transistor T2 muss dabei nicht extern ausgebildet sein, zum Beispiel in einer externen Verstärkereinrichtung 40, sondern kann gegebenenfalls auch als Bestandteil der Ausgangsstufe des Operationsverstärkers 25 der Kompensationsspannungsquelleneinrichtung 20 aufgefasst werden. Zudem kann die in Fig. 4 gezeigte Schaltung in komplementärer Art und Weise auch mit NMOS-Transistoren aufgebaut werden. Dabei müssen dann aber folgende Punkte beachtet werden, nämlich das Konstanthalten der Spannung einer selektierten Bitleitung BLk, die Elimination der Offsetproblematik und des Verstärkers durch die Kompensationsstromquelleinrichtung 30 und des Kompensationsstroms I_{comp} sowie die Kompensation überflüssiger Kompensationsströme durch einen entsprechenden Stromspeicher 54 und entsprechende Elemente SW1 und T4.

Patentansprüche

1. Leseverstärkeranordnung für eine Speichereinrichtung mit einem Speicherbereich (2) aus einer Mehrzahl von Speicher-
5 elementen (3):

- mit einem Eingangsbereich (12), welcher ausgebildet ist, im Betrieb mit dem Speicherbereich (2), insbesondere mit ausgewählten Zugriffsleitungseinrichtungen (4, 6), vorzugsweise Bit- (4) und/oder Wortleitungseinrichtungen (6) ausgewählter Speicherzellen (3), davon verbunden zu werden, um einen Speicherzustand mindestens eines ausgewählten Speicherelements (3) des Speicherbereichs (2) abzutasten und/oder zu ermitteln,

- mit einem Ausgangsbereich (14), über welchen im Betrieb ein den ermittelten Speicherzustand im Wesentlichen repräsentierendes Ausgabesignal (Iout) ausgebar ist, und

- mit einer Kompensationsspannungsquelleneinrichtung (20), welche ausgebildet und angeordnet ist, im Betrieb eine an der ausgewählten und verbundenen Zugriffsleitungseinrichtung (4, 6) anliegende Spannung, insbesondere in Bezug auf einen nicht ausgewählten Speicherbereich (2'), zu regeln,
20 d a d u r c h g e k e n n z e i c h n e t ,

- dass eine Kompensationsstromquelleneinrichtung (30) vorgesehen ist und

- dass durch die Kompensationsstromquelleneinrichtung (30) im Betrieb ein elektrischer Kompensationsstrom (Icomp) generierbar und zumindest einer der Zugriffsleitungseinrichtungen (4, 6), insbesondere der ausgewählten Bitleitungseinrichtung (4), zuführbar ist,

- wobei der Kompensationsstrom (Icomp) und/oder dessen zeitlicher Verlauf derart wählbar und/oder ausgebildet sind, dass im Betrieb, insbesondere bei einem Lesevorgang oder dergleichen und/oder insbesondere im Zusammenwirken mit der Kompensationsspannungsquelleneinrichtung (20), auf der
35 ausgewählten und verbundenen Zugriffsleitungseinrichtung (4, 6), insbesondere auf der ausgewählten und verbundenen

Bitleitungseinrichtung (4) und/oder insbesondere in Bezug auf den nicht ausgewählten Speicherbereich (2') eine im Wesentlichen zeitlich konstante Potenzialdifferenz generierbar und/oder aufrechterhaltbar ist.

5

2. Leseverstärkeranordnung nach Anspruch 1, welche zum Auslesen einer Speicherzellenanordnung (2), vorzugsweise von MRAM-Zellen oder dergleichen, ausgebildet ist.

10

3. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche, welche zum Auslesen des ausgewählten Speicherbereichs (2) der Speichereinrichtung (1) über einen durch ein selektiertes Speicherelement (3), insbesondere eine Speicherzelle (3) oder dergleichen, fließenden elektrischen Strom (I_c) ausgebildet ist.

15

4. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche,

20

bei welcher das Ausgabesignal (I_{out}) in Form eines elektrischen Stroms oder dergleichen ausgebar ist.

5. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche,

25

d a d u r c h g e k e n n z e i c h n e t , dass die Kompensationsspannungsquelleneinrichtung (20) erste und zweite Eingangsanschlüsse (21, 22), erste und zweite Ausgangsanschlüsse (23, 24) und eine invertierende Verstärkereinrichtung (25), insbesondere einen Operationsverstärker (25) oder dergleichen, aufweist.

30

6. Leseverstärkeranordnung nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t ,

dass der erste und der zweite Eingangsanschluss (21, 22) der Kompensationsspannungsquelleneinrichtung (20) einerseits mit dem nichtinvertierenden (25-1) bzw. dem invertierenden Ein-

35

gang (25-2) der Operationsverstärkereinrichtung (25) und andererseits über den Eingangsbereich (12) mit einem, insbesondere gemeinsamen Deaktivierungs- oder Ausgleichspotenzial (Veq), insbesondere des nicht ausgewählten Speicherbereichs (2'), oder einer entsprechenden Zugriffsleitungseinrichtung (6), insbesondere dem System der nicht ausgewählten Wortleitungen (6'), bzw., insbesondere über die ausgewählte und verbundene Zugriffsleitungseinrichtung (4) oder Bitleitungseinrichtung (4), mit dem ausgewählten Speicherelement (3) verbunden sind.

7. Leseverstärkeranordnung nach einem der Ansprüche 5 oder 6,

d a d u r c h g e k e n n z e i c h n e t ,

- dass durch einen der Ausgangsanschlüsse (23, 24) der Kompensationsspannungsquelleneinrichtung (20) im Wesentlichen der Ausgang (25-3) der Operationsverstärkereinrichtung (25), insbesondere über die ausgewählte und verbundene Zugriffsleitungseinrichtung (4) oder Bitleitungseinrichtung (4), mit dem ausgewählten Speicherelement (3) verbunden ist,

- so dass insgesamt die Potenzialdifferenz des nicht ausgewählten Speicherbereichs (2') in Bezug auf die ausgewählte, verbundene Zugriffsleitungseinrichtung (4), insbesondere die verbundene Bitleitungseinrichtung (4), rückgekoppelt regelbar ist, insbesondere auf einen im Wesentlichen zeitlich konstanten Wert hin.

8. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kompensationsstromquelleneinrichtung (30) mit einem ersten Anschluss (31) davon mit der ausgewählten, verbundenen Zugriffsleitungseinrichtung (4), insbesondere mit der ausgewählten, verbundenen Bitleitungseinrichtung (4), und insbesondere mit dem zweiten Eingangsanschluss (22) und dem

zweiten Ausgangsanschluss (24) der Kompensationsspannungs-
quelleneinrichtung (20) verbunden ist, um im Betrieb einen
Kompensationsstrom (Icomp) zumindest teilweise in die ausge-
wählte, verbundene Zugriffsleitungseinrichtung (4) einzu-
speisen.

9. Leseverstärkeranordnung nach einem der vorangehenden An-
sprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kompensationsstromquelleneinrichtung (30) ausgebil-
det ist, einen Kompensationsstrom (Icomp) mit einem Wert zu
generieren und/oder zur Verfügung zu stellen, der dem durch
einen etwaigen Spannungsoffset (Vos) der Kompensationsspan-
nungsquelleneinrichtung (20) über das Ohmsche Netzwerk der
Speicherelemente (3) des gesamten Speicherbereichs (2) ent-
sprechenden elektrischen Stromoffset im Wesentlichen ent-
spricht oder diesen ausreichend übersteigt,
so dass der Kompensationsstrom (Icomp) die Beziehung

$$I_{comp} \geq \frac{V_{os}}{R_{par}' \parallel R_c} = \frac{V_{os}}{R_{par}}$$

erfüllt, wobei Rpar der Ohmsche Widerstand des gesamten
Speicherbereichs (2) bedeutet und sich im Wesentlichen als
Parallelschaltung des Ohmschen Widerstands Rpar' des nicht
ausgewählten Speicherbereichs (2') mit dem Ohmschen Wider-
stand Rc der ausgewählten Zelle (3) darstellt.

10. Leseverstärkeranordnung nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kompensationsstromquelleneinrichtung (30) ausgebil-
det ist, im Betrieb eine Trimmung und/oder eine Selbstkalib-
rierung durchzuführen, um einen Wert für den Kompensations-
strom (Icomp) zu wählen, welcher dem Wert

$$\frac{V_{os}}{R_{par}' \parallel R_c} = \frac{V_{os}}{R_{par}}$$

möglichst nahe kommt.

5 11. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass zwischen dem Eingangsbereich (12) und dem Ausgangsbereich (14) eine Verstärkereinrichtung (40), insbesondere eine Stromverstärkereinrichtung (40), vorgesehen ist und
10 dass die Verstärkereinrichtung (40) ausgebildet ist, im Betrieb über den Eingangsbereich (12) ein den Speicherzustand eines ausgewählten und verbundenen Speicherelements (3) im Wesentlichen repräsentierendes Eingangssignal (Ic) zu empfangen,
15 daraus ein verstärktes Signal zu generieren und dieses über den Ausgangsbereich (14) auszugeben.

12. Leseverstärkeranordnung nach Anspruch 11,

d a d u r c h g e k e n n z e i c h n e t ,
20 dass die Verstärkereinrichtung (40) mindestens einen Eingangsanschluss (41, 42) aufweist, welcher im Betrieb mit dem Eingangsbereich (12) und insbesondere mit der ausgewählten, verbundenen Zugriffsleitungseinrichtung (4), insbesondere mit der ausgewählten, verbundenen Bitleitungseinrichtung (4)
25 und/oder der Kompensationsstromquelleneinrichtung (30) verbindbar ausgebildet ist.

13. Leseverstärkeranordnung nach Anspruch 12,

d a d u r c h g e k e n n z e i c h n e t ,
30 dass die Verstärkereinrichtung (40) einen Ausgangsanschluss (43) aufweist, welcher im Betrieb mit dem Ausgangsbereich (14) verbindbar ist.

14. Leseverstärkeranordnung nach einem der Ansprüche 11 bis
35 13,

d a d u r c h g e k e n n z e i c h n e t ,

- dass die Verstärkereinrichtung (40) zwei Transistoreinrichtungen (T2, T3), insbesondere in Form von MOSFETs, mit Source- (S2, S3), Drain- (D2, D3) und Gatebereichen (G2, G3) und/oder -anschlüssen aufweist,

- dass einerseits die Sourcebereiche (S2, S3) und/oder -anschlüsse und andererseits die Gatebereiche (G2, G3) und/oder -anschlüsse dieser Transistoren (T2, T3) miteinander verbunden sind und

- dass die Drainbereiche (D2, D3) oder -anschlüsse der Transistoreinrichtungen (T2, T3) mit dem Eingangsanschluss (41) bzw. dem Ausgangsanschluss (43) der Verstärkereinrichtung (40) verbunden sind.

15. Leseverstärkeranordnung nach Anspruch 14,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Verstärkereinrichtung (40) einen zweiten Eingangsanschluss (42) aufweist, welcher mit den Gatebereichen (G2, G3) und/oder -anschlüssen der Transistoreinrichtungen (T2, T3) verbunden ist.

16. Leseverstärkeranordnung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass eine Kalibriereinrichtung (50) vorgesehen ist, welche ausgebildet ist, im Betrieb einen überschüssigen Kompensationsstrom (Icomp, Idiff) und/oder ein überschüssiges Ausgangssignal der Verstärkereinrichtung (40) auszugleichen, und welche dazu insbesondere alternierend aktivierbare Stromspeicher- und Stromfreigabefunktionen aufweist.

17. Leseverstärkeranordnung nach Anspruch 16,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kalibriereinrichtung (50) zwischen dem Ausgangsanschluss (43) der Verstärkereinrichtung (40) und dem Ausgangsbereich (14) der Leseverstärkeranordnung (10) ausgebil-

det ist, und zwar insbesondere mit einem Eingangsanschluss (51) bzw. einem ersten Ausgangsanschluss (52) davon.

18. Leseverstärkeranordnung nach Anspruch 17,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass die Kalibriereinrichtung (50) einen zweiten Ausgangsanschluss (53) aufweist, welcher mit dem zweiten Anschluss (32) der Kompensationsstromquelleneinrichtung (30) verbunden ist.

10 19. Leseverstärkeranordnung nach einem der Ansprüche 16 bis 18,
d a d u r c h g e k e n n z e i c h n e t ,
15 dass die Kalibriereinrichtung (50) zur Realisierung der Stromspeicher- und Stromfreigabefunktionen eine Stromspeichereinrichtung (54) aufweist.

20 20. Leseverstärkeranordnung nach Anspruch 19,
d a d u r c h g e k e n n z e i c h n e t ,
20 dass die Stromspeichereinrichtung (54) ausgebildet ist, im Betrieb vor einem Lesezustand einen überschüssigen Kompensationsstrom (I_{comp} , I_{diff}) und/oder ein überschüssiges Ausgangssignal (I_{out}) zu speichern und bei einem Lesezustand
25 zumindest teilweise einzuspeisen, insbesondere von der Kompensationsstromquelleneinrichtung (30) und/oder der Verstärkereinrichtung (40) bzw. in diese hinein.

30 21. Leseverstärkeranordnung nach einem der Ansprüche 19 oder 20,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Stromspeichereinrichtung (54) als Transistoreinrichtung (T4) ausgebildet ist, insbesondere als MOSFET oder dergleichen, oder eine derartige Transistoreinrichtung (T4) aufweist.

35 22. Leseverstärkeranordnung nach Anspruch 21,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Transistoreinrichtung (T4) mit ihrem Drainbereich
(D4) mit dem Eingangsanschluss (51) der Kalibriereinrichtung
(50) und mit ihrem Sourcebereich (S4) über den zweiten Aus-
5 gangsanschluss (53) der Kalibriereinrichtung (50) mit der
Kompensationsstromquelleneinrichtung (30) verbunden ist.

23. Leseverstärkeranordnung nach Anspruch 22,

d a d u r c h g e k e n n z e i c h n e t ,

- 10 - dass die Stromspeichereinrichtung (54) eine Schalteinrich-
tung (SW1) aufweist und
- dass der Gatebereich (G4) der Transistoreinrichtung (T4)
der Stromspeichereinrichtung (54) vor und bei einem Lese-
zustand der Leseverstärkeranordnung (10) mit dem Drainbe-
15 reich (D4) verbindbar bzw. von diesem trennbar ist,
- so dass insbesondere die Gatekapazität (CG4) des Gatebe-
reichs (G4) der Transistoreinrichtung (T4) als Stromspei-
cherelement schaltbar ist.

20 24. Leseverstärkeranordnung nach einem der Ansprüche 16 bis
23,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Kalibriereinrichtung (50) eine weitere Schaltein-
richtung (SW2) aufweist, durch welche im Betrieb eine direk-
25 te elektrische Verbindung zwischen dem Eingangsanschluss
(51) und dem ersten Ausgangsanschluss (52) der Kalibrierein-
richtung (50) bei einem Lesezustand herstellbar bzw. vor ei-
nem Lesezustand unterbrechbar ist.

Zusammenfassung

Leseverstärkeranordnung für eine Halbleiterspeichereinrichtung

5

Bei einer Leseverstärkeranordnung (10) für eine Halbleiterspeichereinrichtung (1) ist eine Kompensationsstromquelleinrichtung (30) vorgesehen, durch welche ein Kompensationsstrom (I_{comp}) generierbar und einer verbundenen Bitleitung (4) zuführbar ist, wobei der Kompensationsstrom (I_{comp}) so gewählt ist, dass bei einem Lesevorgang in Zusammenwirken mit einer vorgesehenen Kompensationsspannungsquelleinrichtung (20) auf der ausgewählten und verbundenen Bitleitungseinrichtung (4) eine im Wesentlichen zeitlich konstante Potenzialdifferenz generierbar und/oder aufrechterhaltbar ist.

10

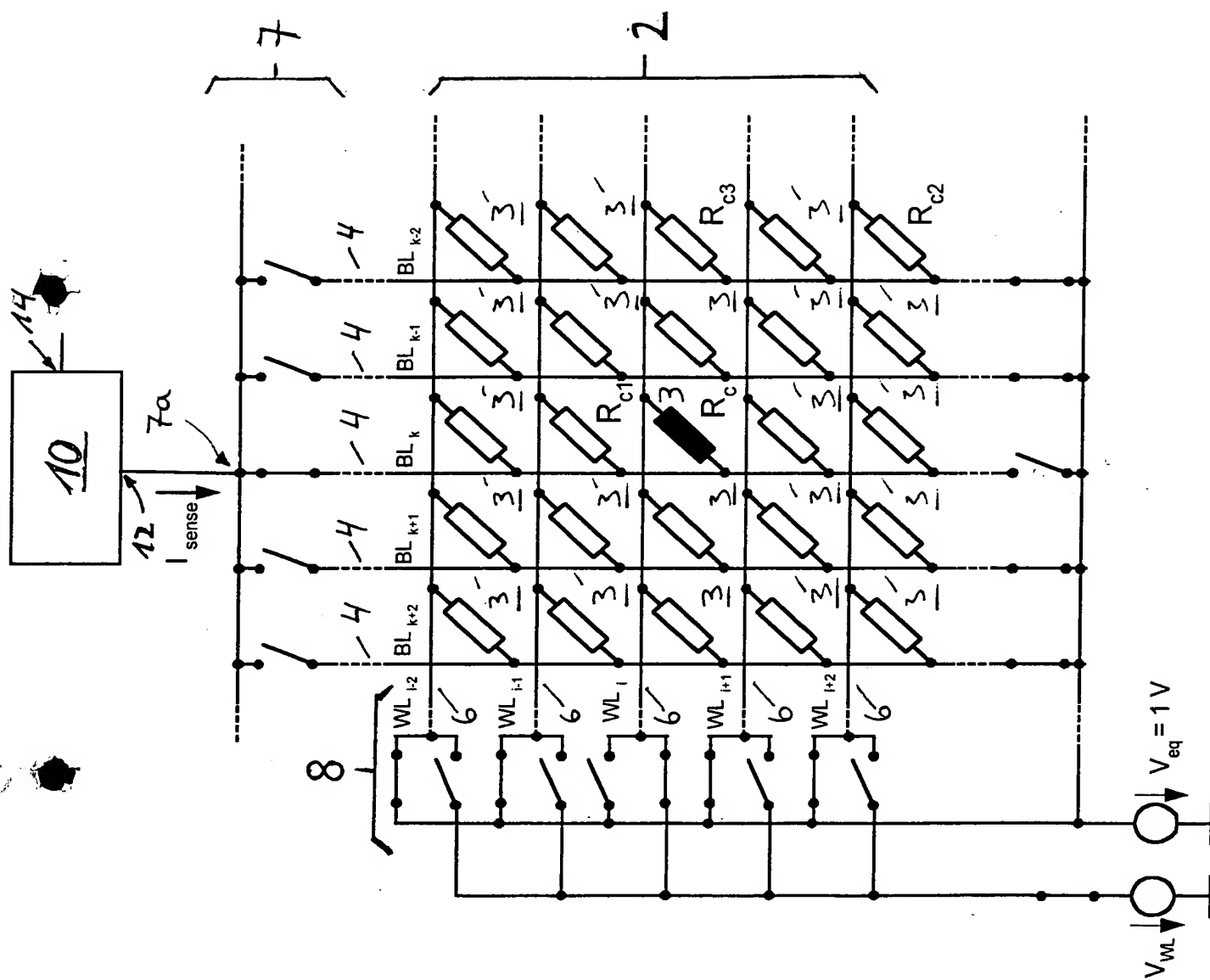
15

(Fig. 2)

Bezugszeichenliste

1	Halbleiterspeichereinrichtung
2	Speicherbereich/Speicherzellenanordnung
2'	nicht ausgewählter Speicherbereich
3	Speicherelement/Speicherzelle
4	Zugriffsleitungseinrichtung/Bitleitungseinrichtung
6	Zugriffsleitungseinrichtung/Wortleitungseinrichtung
10	Leseverstärkeranordnung
12	Eingangsbereich/Eingangsanschluss
14	Ausgangsbereich/Ausgangsanschluss
20	Kompensationsspannungsquelleneinrichtung
21	Eingangsanschluss
22	Eingangsanschluss
23	Ausgangsanschluss
24	Ausgangsanschluss
25	Operationsverstärkereinrichtung
25-1	nicht invertierender Eingang
25-2	invertierender Eingang
25-3	Ausgang
30	Kompensationsstromquelleneinrichtung
31	Anschluss
32	Anschluss
40	Stromverstärkereinrichtung
41	Eingangsanschluss
42	Eingangsanschluss
43	Ausgangsanschluss
50	Kalibriereinrichtung
51	Eingangsanschluss
52	Ausgangsanschluss
53	Ausgangsanschluss

54	Stromspeichereinrichtung
100	herkömmliche Leseverstärkeranordnung
A	Verstärkung
CG4	Gatekapazität
D1-D4	Drainbereich
G1-G4	Gatebereich
Ic	Zellstrom
Icomp	Kompensationsstrom
Idiff	Differenzstrom
Iout	Ausgangsstrom
Isense	Abtaststrom/Meßstrom
Istore	Speicherstrom
Rc	Zellenwiderstand
Rpar	Speicherbereichswiderstand
Rpar'	Speicherbereichswiderstand
S1-S4	Sourcebereich
SW1, SW2	Schalteinrichtung
Veq	Gleichgewichtsspannung
Vos	Offsetspannung
Vwl	Wortleitungsspannung/Lesespannung



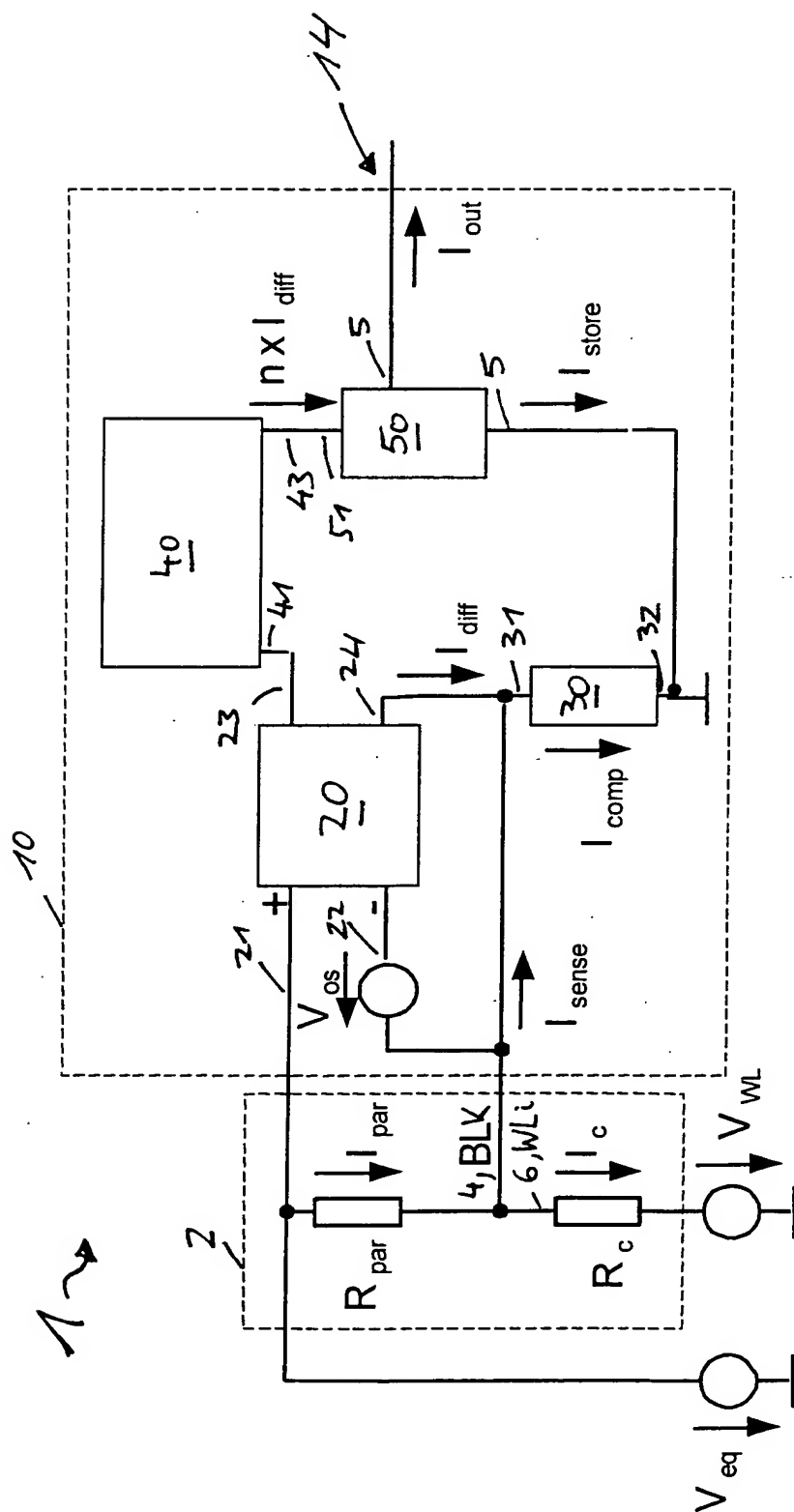


Fig. 2

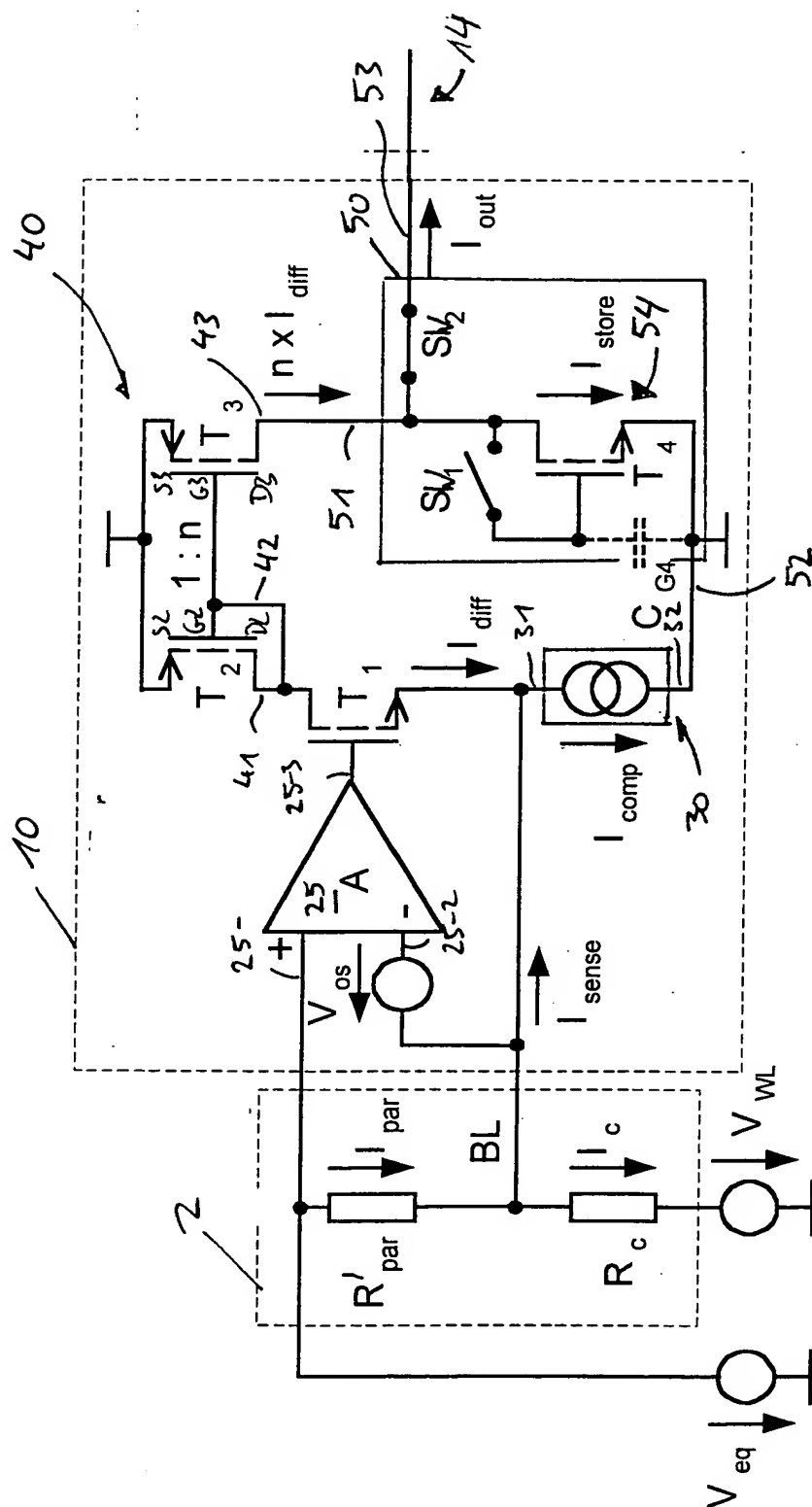


Fig. 3

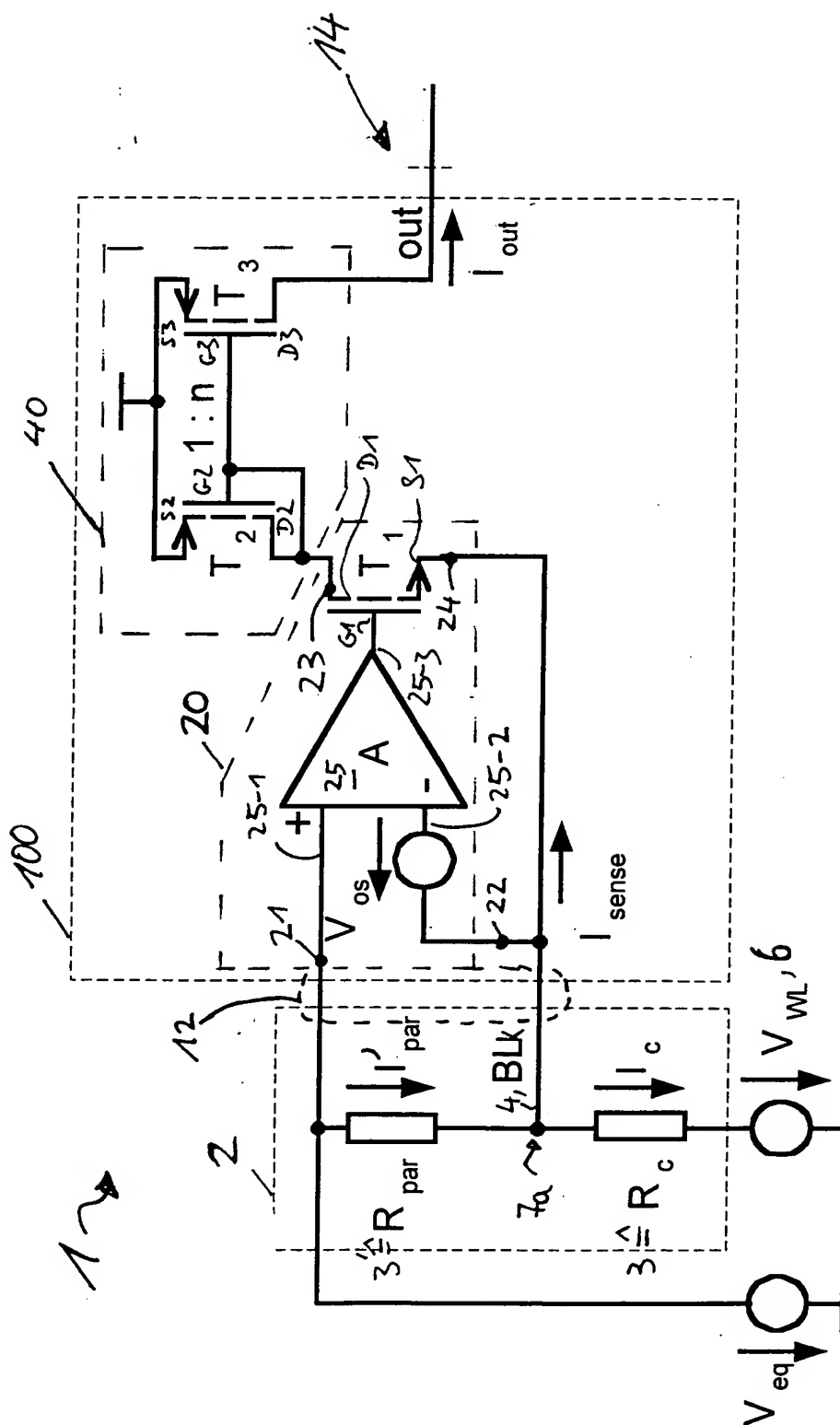


Fig. 5